

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04615855 **Image available**

FORMATION OF SILICON OXIDE FILM

PUB. NO.: **06-287755** [JP 6287755 A]

PUBLISHED: October 11, 1994 (19941011)

INVENTOR(s): MITSUTA YOSHIE
 NAKAHIGASHI TAKAHIRO
 KUWABARA SO

APPLICANT(s): NISSIN ELECTRIC CO LTD [000394] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 04-194765 [JP 92194765]

FILED: June 29, 1992 (19920629)

INTL CLASS: [5] C23C-016/40; C23C-016/50; H01L-021/31; H01L-021/316

JAPIO CLASS: 12.6 (METALS -- Surface Treatment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA)

JOURNAL: Section: , Section No. FFFFFFFF, Vol. 94, No. 10, Pg. FFFFFFFF,
 FF, FFFF (FFFFFFFFF)

ABSTRACT

PURPOSE: To improve the smoothness of the SiO(sub 2) film on a substrate by using the triple modulated high-frequency electric power by a specific frequency at the time of forming the SiO(sub 2) film on the substrate by a plasma CVD method using a high-frequency electric discharge.

CONSTITUTION: The SiO(sub 2) film is formed on the substrate 2 by evacuating the inside of a vessel 4 having an electrode 6 and an electrode 8 in common use as a holder placed with the substrate 2 by a discharge device 12 to a vacuum, supplying a gaseous raw material such as TEOS (tetraethoxysilane) from a cylinder 22 and an oxidative gas such as O(sub 2) from a cylinder 24 to form a gaseous mixture 20 composed of both, supplying this gaseous mixture from an introducing port 14 into the vessel 4, impressing the high-frequency electric power between both electrodes and 8 with a high-frequency power source 18a and activating the gaseous raw material 20 with plasma 32 formed by a glow discharge. The flatness of the SiO(sub 2) film is improved by impressing the high-frequency electric power subjected to first modulation of 400Hz to 1KHz frequency of the high-frequency power to be impressed, second modulation of 0.1 to 1msec on period and 0.1 to 1msec off period and third modulation of 0.01 to 0.5msec on period and 0.01 to 0.5msec off period.

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
010096330 **Image available**

WPI Acc No: 1994-364043/199445

XRAM Acc No: C94-166308

XRPX Acc No: N94-285195

Forming silicon oxide film - by imposing HF power consisting 1st
modulation to stop or apply base HF signal, etc.

Patent Assignee: NISSHIN ELECTRICAL CO LTD (NDEN)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6287755	A	19941011	JP 92194765	A	19920629	199445 B
JP 2536367	B2	19960918	JP 92194765	A	19920629	199642

Priority Applications (No Type Date): JP 92194765 A 19920629

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6287755	A	5	C23C-016/40	
JP 2536367	B2	4	C23C-016/40	Previous Publ. patent JP 6287755

Abstract (Basic): JP 6287755 A

Formation comprises imposing high frequency power consisting of the
1st modulation to stop/apply the base high frequency signal, and the
2nd modulation to stop/apply it at a shorter cycle than the 1st
modulation, and the 3rd modulation to stop/apply it at a shorter cycle
than the 2nd modulation.

USE - SiO₂ is formed on a substrate by plasma CVD method. Dwg.1/5

Title Terms: FORMING; SILICON; OXIDE; FILM; IMPOSE; HF; POWER; CONSIST;
MODULATE; STOP; APPLY; BASE; HF; SIGNAL

Derwent Class: L02; M13; U11

International Patent Class (Main): C23C-016/40

International Patent Class (Additional): C23C-016/50; C23C-016/52;

H01L-021/31; H01L-021/316

File Segment: CPI; EPI

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-287755

(43)公開日 平成 6年(1994)10月11日

(51)Int.Cl.⁵

C 2 3 C 16/40

16/50

H 0 1 L 21/31

21/316

識別記号

庁内整理番号

F I

技術表示箇所

8116-4K

8116-4K

C

X 7352-4M

審査請求 有 請求項の数 2 F D (全 5 頁)

(21)出願番号

特願平4-194765

(22)出願日

平成 4年(1992) 6月29日

(71)出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72)発明者 光田 良枝

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

(72)発明者 中東 孝浩

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

(72)発明者 桑原 創

京都府京都市右京区梅津高畝町47番地 日

新電機株式会社内

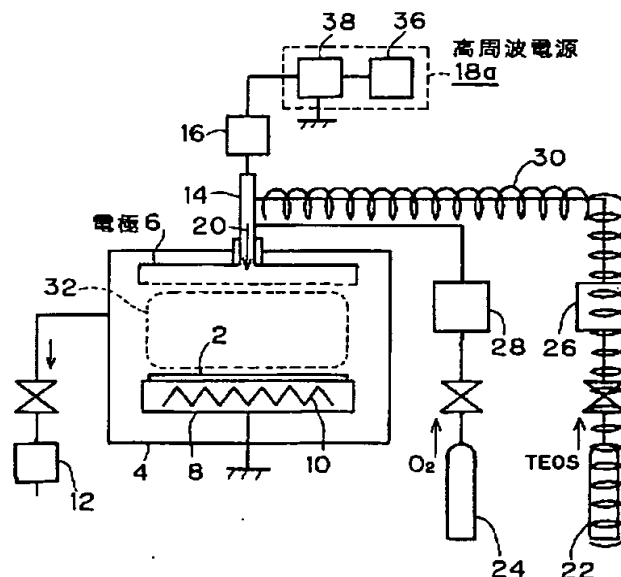
(74)代理人 弁理士 山本 恵二

(54)【発明の名称】 酸化シリコン膜の形成方法

(57)【要約】

【目的】 基板表面に形成する酸化シリコン膜の平坦度を向上させることができる方法を提供する。

【構成】 高周波電源 18 から電極 6 に対して次のような高周波電力を供給する。即ち、元となる高周波信号に対して、それを断続させる第 1 の変調と、この第 1 の変調よりも短い周期で断続させる第 2 の変調と、この第 2 の変調よりも短い周期で断続させる第 3 の変調とをかけた高周波電力を供給する。



【特許請求の範囲】

【請求項1】 電極間の高周波放電によってプラズマを発生させるプラズマCVD法によって基板上に酸化シリコン膜を形成する方法において、前記電極に、元となる高周波信号に対して、それを断続させる第1の変調と、この第1の変調よりも短い周期で断続させる第2の変調と、この第2の周期よりも短い周期で断続させる第3の変調とをかけた高周波電力を供給することを特徴とする酸化シリコン膜の形成方法。

【請求項2】 前記第1の変調の周波数が400Hz～1KHzの範囲内にあり、前記第2の変調のオン期間が0.1msec～1msecの範囲内、オフ期間が0.1msec～1msecの範囲内にあり、かつ前記第3の変調のオン期間が0.01msec～0.5msecの範囲内、オフ期間が0.01msec～0.5msecの範囲内にある請求項1記載の酸化シリコン膜の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、高周波放電を用いたプラズマCVD法によって基板上に酸化シリコン(SiO₂)膜を形成する方法に関する。

【0002】

【従来の技術】 図5は、従来のプラズマCVD装置の一例を示す概略図である。真空排気装置12によって真空排気される真空容器4内に、電極6とホルダ兼電極8とを対向させて収納している。ホルダ兼電極8は接地されている。ホルダ兼電極8上には、成膜しようとする基板2が載せられる。基板2は例えばホルダ兼電極8内のヒータ10によって加熱される。

【0003】 真空容器4内には、電極6につながるガス導入部14を経由して原料ガス20が導入される。原料ガス20は、例えばSiH₄(シラン)+O₂であるが、近年は処理の低温化および酸化シリコン膜の平坦化から、TEOS(テトラエトキシシラン)+O₂あるいはTEOS+O₃が用いられている。この例では、ガス導入部14に、ガス源22からTEOSを供給し、ガス源24からO₂を供給するようにしている。26、28はマスフローコントローラであり、30はTEOSの気化用のヒータである。

【0004】 また、両電極6、8間には、マッチングボックス16を介して高周波電源18から高周波電力が供給される。この高周波電力は、従来は連続した正弦波であり、その周波数は通常は13.56MHzである。

【0005】 このような装置において、真空容器4内に上記のような原料ガス20を導入して真空容器4内を例えば数百mTorr程度にすると共に、電極6に高周波電源18から高周波電力を供給すると、両電極6、8間で高周波放電が生じてプラズマ32が発生する。その際、マッチングボックス16内には一般的にブロッキン

グコンデンサが含まれているので、そこに電子が溜まり、電極6は負に帯電する。すると、プラズマ32中の正イオンが電極6に向かって加速されて電極6に衝突し、これによって電子が生成されてこの電子がプラズマ32を持続するように働く。

【0006】 上記のようにして、プラズマ32によって原料ガス20が活性化され、化学反応が進み、基板2の表面に酸化シリコン(SiO₂)膜が形成される。

【0007】

【発明が解決しようとする課題】 近年、LSIの微細構造化が進むにつれて、基板2の表面に形成する酸化シリコン膜の平坦化が重要な課題となっている。上記のような従来の方法では、原料ガス20に、前述したようにTEOS+O₂あるいはTEOS+O₃を用いることで、ある程度は平坦度を改善することができるが、それでも、基板2の表面のパターン密度の粗密による酸化シリコン膜の埋め込み深さの変化が大きく、即ち例えば図4に示すように基板2の表面のデバイス構造3の間隔が大きい所での酸化シリコン膜34の凹みが激しく、従って満足すべき平坦度が得られないという問題がある。

【0008】 そこでこの発明は、基板表面に形成する酸化シリコン膜の平坦度を向上させることができる方法を提供することを主たる目的とする。

【0009】

【課題を解決するための手段】 上記目的を達成するため、この発明の酸化シリコン膜の形成方法は、前述したような電極に、元となる高周波信号に対して、それを断続させる第1の変調と、この第1の変調よりも短い周期で断続させる第2の変調と、この第2の周期よりも短い周期で断続させる第3の変調とをかけた高周波電力を供給することを特徴とする。

【0010】

【作用】 上記方法によれば、プラズマ中のラジカル(活性種)の発生消滅に大きく寄与する電子温度を制御することが可能になる。その結果、プラズマ中において気相反応だけでなく表面反応をも効率良く起こさせることができるようになり、それによって、基板表面に形成する酸化シリコン膜の平坦度を向上させることが可能になる。

【0011】 しかも、上記のようにしてプラズマ中の電子温度を制御することによって、プラズマ中のラジカルの選択性を向上させることが可能になり、その結果、良質な膜形成に寄与するラジカルの優先生成および不必要なラジカルの抑制が可能になり、酸化シリコン膜の成膜速度を向上させることも可能になる。

【0012】

【実施例】 図1は、この発明の実施に用いたプラズマCVD装置の一例を示す概略図である。図5の従来例と同一または相当する部分には同一符号を付し、以下においては当該従来例との相違点を主に説明する。

【0013】この実施例においては、従来例の高周波電源18の代わりに、任意の波形の高周波信号を発生させることができる高周波信号発生器36と、それからの高周波信号を電力増幅する高周波パワーアンプ38とで構成された高周波電源18aを用いている。そしてこれによって、例えば図2に示すように、元となる高周波信号に対して、それを周期Tで断続させる第1の変調と、この第1の変調よりも短い周期で断続させる第2の変調と、この第2の変調よりも短い周期で断続させる第3の変調とをかけた（即ち三重変調をかけた）高周波電力を、前述した電極6、8に供給するようにしている。

【0014】この元となる高周波信号は、例えば従来例と同様に13.56MHzの正弦波信号であるが、これに限定されるものではない。

【0015】上記のような高周波電力を用いることにより、プラズマ32中のラジカル（例えば上記のようなシラン系の原料ガス20を用いる場合は、 SiH_3 ラジカル、 SiH_2 ラジカル、 SiH ラジカル、 Si ラジカル等）の発生消滅に大きく寄与する、プラズマ32中の電子温度（即ち電子エネルギー）を制御することが可能になる。その結果、プラズマ32中において、気相反応だけでなく、基板2の表面での表面反応をも効率良く起こさせることができるようになる。前者の気相反応による場合は、反応生成物である酸化シリコンは、基板2の表面に上から言わば降り積もるように形成されるので、基板2の表面の凹凸を増幅するような格好で形成されるのに対して、後者の表面反応による酸化シリコンは、基板2の表面上に言わば盛り上がるように形成されるので、基板2の表面の凹部を埋めるような格好で形成される。このような作用により、基板2の表面に形成する酸化シリコン膜の平坦度を向上させることが可能になる。

【0016】しかも、上記のようにプラズマ32中の電子温度を制御することによって、プラズマ32中のラジカル種の選択性を向上させることも可能になる。

【0017】即ち、高周波放電によって生成されるプラズマ32中には、反応過程を支配する前述したような多種のラジカルが存在する。このラジカルには、良質な酸化シリコン膜を形成するのに寄与する分子量の大きいラジカル（例えば SiH_3 ラジカル）と、膜形成に不必要でパーティクル発生の原因となる分子量の小さいラジカル（例えば SiH_2 ラジカル、 SiH ラジカル、 Si ラジカル）とが混在する。前者の分子量の大きいラジカルは長寿命であり、後者の分子量の小さいラジカルは短寿命であるが、プラズマ32中の電子温度の制御によって、この良質な膜形成に寄与する分子量の大きいラジカルの優先生成および不必要なラジカルの抑制が可能になる。その結果、酸化シリコン膜の成膜速度を向上させることも可能になる。

【0018】上記のようなラジカル種の選択性は、高周波電力に上記のような第1および第2の変調をかけるこ

とによって高まるが、これに更に第3の変調をかけることによって一層高まる。

【0019】上記高周波電力（図2参照）の第1の変調の周波数（ $1/T$ ）は、ラジカルの寿命が一般的にmsオーダーであることから、400Hz～1KHzの範囲内に選ぶのが好ましい。また、電子温度遷移のカーブ等から見て、第2の変調の間隔は、オン期間 t_1 を0.1msec～1msecの範囲内に、オフ期間 t_2 を0.1msec～1msecの範囲内に選ぶのが好ましい。同様に、第3の変調の間隔は、オン期間 t_3 を0.01msec～0.5msecの範囲内に、オフ期間 t_4 を0.01msec～0.5msecの範囲内に選ぶのが好ましい。

【0020】次に、この発明に従ったより具体的な実施例と、従来例相当の比較例とについて説明する。

【0021】（実施例）

基板：200mm角のガラス基板

原料ガス：TEOS 6～10ccm

O_2 100～200ccm

基板温度：375℃

元となる高周波の周波数：13.56MHz

高周波電力：約1000W

第1変調の周波数：1000Hz

第2変調の間隔：オン期間 t_1 ＝0.75msec

オフ期間 t_2 ＝0.25msec

第3変調の間隔：オン期間 t_3 ＝0.2msec

オフ期間 t_4 ＝0.55msec

【0022】（比較例）

高周波：13.56MHzの正弦波の連続（即ち変調なし）

その他の条件：上記実施例と同じ

【0023】上記実施例および比較例による成膜結果の模式図を図3および図4にそれぞれ示す。両図において、基板2上の凹凸（デバイス構造）3の寸法は、 $A=1\mu\text{m}$ 、 $B=1\mu\text{m}$ 、 $C=1\mu\text{m}$ 、 $D=5\mu\text{m}$ である。

【0024】上記D部の中央部での酸化シリコン膜34の膜厚を実施例の場合を H_1 、比較例の場合を H_2 とすると、 $H_1/H_2=1.6$ が得られた。最高部の膜厚はいずれの例も H_0 で変わらないから、比較例に比べて実施例の平坦度は1.6倍であるといえることができる。

【0025】また、酸化シリコン膜34の成膜速度は、実施例の場合は $850\text{\AA}/\text{min}$ 、比較例の場合は $600\text{\AA}/\text{min}$ であり、実施例の方が約1.4倍の成膜速度が得られた。

【0026】なお、以上では原料ガス20の例として、TEOS+ O_2 を説明したが、この発明はこれに限定されるものではなく、TEOS+ O_3 でも、更にはTES等の有機シラン系のガスと O_2 または O_3 との混合ガスでも良い。

【0027】

【発明の効果】以上のようにこの発明によれば、上記のような三重変調をかけた高周波電力を使用することによって、プラズマ中のラジカルの発生消滅に大きく寄与する電子温度の制御が可能になり、それによって、基板表面に形成する酸化シリコン膜の平坦度を向上させることが可能になる。しかも、電子温度制御によって、プラズマ中のラジカルの選択性も向上し、その結果、酸化シリコン膜の成膜速度を向上させることも可能になる。

【図面の簡単な説明】

【図1】この発明の実施に用いたプラズマCVD装置の一例を示す概略図である。

【図2】三重変調をかけた高周波電力の波形の一例を示す概略図である。

【図3】実施例の方法によって基板上に酸化シリコン膜

を形成した状態を模式的に示す断面図である。

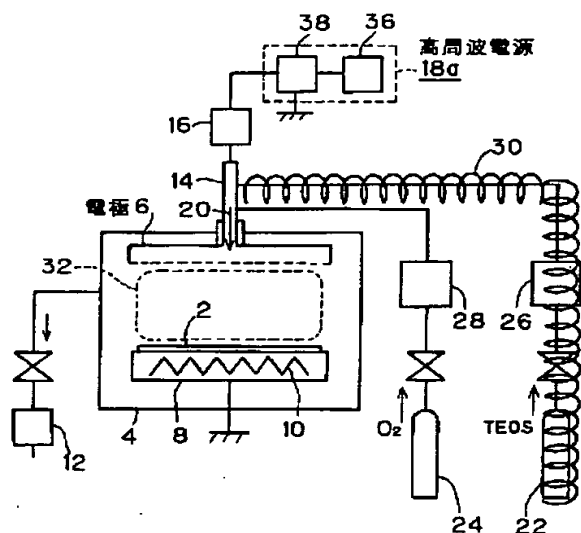
【図4】比較例の方法によって基板上に酸化シリコン膜を形成した状態を模式的に示す断面図である。

【図5】従来のプラズマCVD装置の一例を示す概略図である。

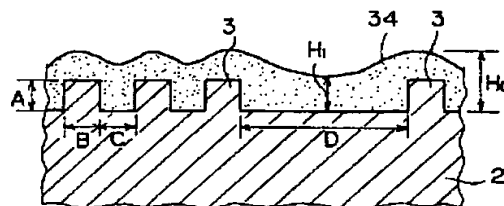
【符号の説明】

- 2 基板
- 6 電極
- 8 ホルダ兼電極
- 18 a 高周波電源
- 20 原料ガス
- 32 プラズマ
- 34 酸化シリコン膜

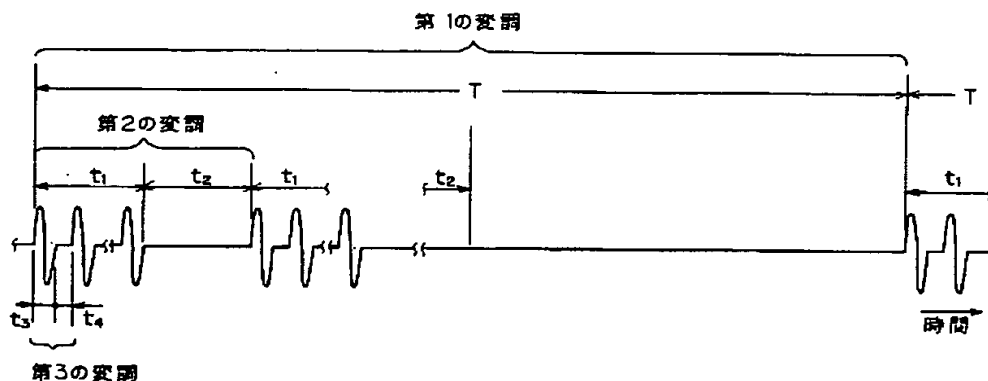
【図1】



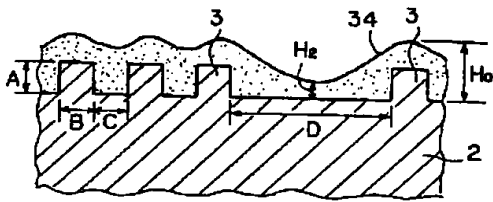
【図3】



【図2】



【図4】



【図5】

